

SEMICONDUCTOR ELEMENT

Publication number: JP2002299567

Publication date: 2002-10-11

Inventor: TERASHITA JUNKO; HIGASHIHARA KIYOSHI

Applicant: SONY CORP

Classification:

- International: H01L23/52; H01L21/3205; H01L21/60; H01L21/82; H01L21/822; H01L27/04; H01L23/52; H01L21/02; H01L21/70; H01L27/04; H01L27/04C(1-7); H01L27/04; H01L21/3205; H01L21/60; H01L21/82; H01L21/822

- european:

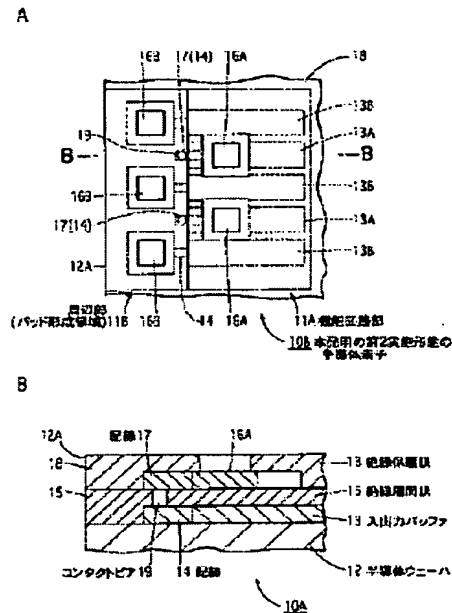
Application number: JP20010102915 20010402

Priority number(s): JP20010102915 20010402

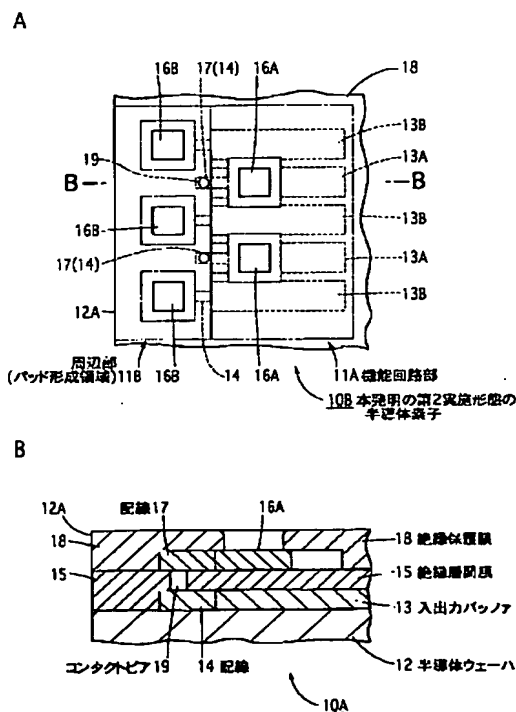
Report a data error here

Abstract of JP2002299567

PROBLEM TO BE SOLVED: To obtain a semiconductor element in which a large number of electrode pads can be arranged without increasing the area of pad forming region in one semiconductor element and thereby without increasing the entire area of one semiconductor element itself. **SOLUTION:** In the semiconductor element 10B, a part of electrode pads 16A are arranged on a part of components inside an integrated circuit fabricated on a semiconductor wafer 12 and the remainder of the electrode pads 16B are arranged in the pad forming region 11B on the semiconductor wafer outside the integrated circuit, thus forming a so-called zigzag pad structure.



Data supplied from the **esp@cenet** database - Worldwide



【特許請求の範囲】

【請求項1】 集積回路が形成されている半導体ウェーハの前記集積回路の一部構成要素上に電極パッドが配置、形成されていることを特徴とする半導体素子。

【請求項2】 集積回路が形成されている半導体ウェーハの前記集積回路の一部構成要素上に、全ての電極パッドが配置、形成されており、かつ前記電極パッドが隣接する前記一部構成要素の異なる位置に交互に配置、形成されていることを特徴とする半導体素子。

【請求項3】 集積回路が形成されている半導体ウェーハの前記集積回路の一部構成要素上に、一部の電極パッドが配置、形成されており、残部の電極パッドは前記集積回路外の半導体ウェーハ上に配置、形成されていることを特徴とする半導体素子。

【請求項4】 前記一部の電極パッドと前記残部の電極パッドとが一つずつ交互に千鳥足状に配設されていることを特徴とする請求項2に記載の半導体素子。

【請求項5】 前記集積回路の一部構成要素が前記半導体ウェーハの周辺に配置される入出力バッファであり、該入出力バッファ上に前記電極パッドが配設されていることを特徴とする請求項1または請求項2に記載の半導体素子。

【請求項6】 前記入出力バッファ上に配設されている前記電極パッドの位置よりも前記半導体ウェーハの外周部の方の位置に、前記電極パッド以外の残部の電極パッドが一つずつ交互に千鳥足状に配設されていることを特徴とする請求項4に記載の半導体素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、本発明は半導体素子、特に半導体ウェーハに形成された集積回路の電極パッドに関するものである。

【0002】

【従来の技術】先ず、図4を参照しながら、従来技術の半導体素子を説明する。

【0003】図4は従来技術の半導体素子の一部分の要部を模式図で示していて、同図Aはその平面図、同図Bは同図AのB-B線における断面側面図である。

【0004】微細加工技術の進展に伴い、例えば、MOS型半導体素子においては、1半導体素子当たりの回路集積度は益々高密度になり、1メガゲートを越えるようになり、それに従い入出力端子数も1,000ピンを越えるようになっている。当然、小さな半導体素子でも集積度が高まり、入出力端子数のアンバランスが生じ、入出力端子数を増加させることが必須になっている。

【0005】通常、電子回路が高密度に集積されている半導体素子では、集積回路、その入出力バッファなどの機能回路部の近傍に多数の電極パッドが形成されている。半導体素子の多機能化により、必要となる電極パッドが増えた場合には、電極パッドの配列間隔を狭くする

必要がある。

【0006】また、パターンルールの微細化により機能回路部の面積が狭くなった場合でも、電極パッドが配置されている間隔を狭くしなければ、半導体素子の面積を小さくすることはできなくなるので、ボンドピッチを狭くする必要がある。しかし、ボンドピッチはボンディング技術の制約を受け、或る程度以上は小さくできない（現状は60 μ m程度）。

【0007】従って、1,000ピンを遙かに越える入出力端子数が要求される場合は、図4に示したように、半導体素子10Dの電極パッドは千鳥足状パッド構造で構成されている。ただし、図4にはその内の5個の電極パッドだけを取り出して示した。

【0008】図4において、符号10Dは千鳥足状パッド構造の半導体素子を指す。半導体素子10Dは、その小片の半導体ウェーハ12上の機能回路部11Aに多数の集積回路、その入出力バッファ13A、13Bなどが形成されており、そしてそれら入出力バッファ13A、13Bに配線14を介してそれぞれ接続された電極パッド16A、16Bが半導体ウェーハ12の周縁12Aとの間の周辺部（パッド形成領域）11Bに形成されている。なお、入出力バッファ13A、13Bは同一の機能を備えたもので、説明の便宜上サフィックスA、Bを付して区別した。

【0009】これら多数の電極パッド16の内の電極パッド16Bは前記入出力バッファ13Bに短い配線14を介して接続されて機能回路部11Aに近接した周辺部（パッド形成領域）11Bに一線上に、そして残部の電極パッド16Aは、それら電極パッド16Bと半導体ウェーハ12の周縁12Aとの間の周縁12A寄りの周辺部11Bに、長い配線14を介して入出力バッファ13Aに接続されて一線上に設けられている。

【0010】これら入出力バッファ13、配線14、電極パッド16A、16Bなどは絶縁保護膜18で被覆されている。

【0011】このように電極パッド16Aと電極パッド16Bとを千鳥足状パッド構造の配列にして、見掛け上、ボンドピッチを狭くしている。このような千鳥足状パッド構造を採用することにより、電極パッドの狭ピッチ化を実現することができる。

【0012】

【発明が解決しようとする課題】ところが、従来の千鳥足状パッド構造の場合は、一直線状に配列する単列構造に比べるとパッド形成領域11Bの半導体ウェーハ12の端縁12Aまでの幅が広くなり、従って、1個の半導体素子1としては、サイズが大きくなるという問題がある。

【0013】従って、本発明はこのような課題を解決しようとするものであって、1半導体素子におけるパッド形成領域の面積を大きくすることなく、引いては1半導

体素子そのものの全体の面積を大きくすることなく多数の電極パッドを配設することができる半導体素子を得ることを目的とするものである。

【0014】

【課題を解決するための手段】本発明は上記の課題を解決するため、本発明の半導体素子においては、集積回路が形成されている半導体ウェーハの前記集積回路の一部構成要素上に電極パッドを配置、形成している。

【0015】また、本発明の半導体素子においては、集積回路が形成されている半導体ウェーハの前記集積回路の一部構成要素上に、全ての電極パッドを配置、形成し、かつ前記電極パッドを隣接する前記一部構成要素の異なる位置に交互に配置、形成するようにしてもよい。

【0016】そしてまた、本発明の半導体素子においては、前記のように集積回路が形成されている半導体ウェーハの前記集積回路の一部構成要素上に配設、形成されている一部の電極パッドの他に、残部の電極パッドを前記集積回路外の半導体ウェーハ上に配置、形成している。この半導体素子の場合、前記一部の電極パッドと前記残部の電極パッドとを一つずつ交互に千鳥足状に配設するとよい。

【0017】更に、前記集積回路の一部構成要素が前記半導体ウェーハの周辺に配置される入出力バッファであれば、それら入出力バッファ上に前記電極パッドを配設するとよい。更にまた、好ましくは、前記入出力バッファ上に配設されている前記電極パッドの位置よりも前記半導体ウェーハの外周部の方の位置に、前記電極パッド以外の残部の電極を一つずつ交互に千鳥足状に配設するとよい。

【0018】それ故、本発明の半導体素子によれば、その機能回路部から半導体素子の周縁までのパッド形成領域の幅を狭めることができ、また、前記のように一部の電極パッドを集積回路の一部構成要素、例えば、入出力バッファ上に配置、形成し、残部の電極パッドをその近傍に配置、形成することにより、半導体素子そのものの面積を削減することができる。そしてこれら電極パッドを千鳥足状に配列することによりそれら各電極パッド間のピッチを狭めることができる。

【0019】

【発明の実施の形態】以下、図を用いて、本発明の各種の実施形態の半導体素子を説明する。

【0020】図1は本発明の第1実施形態の半導体素子の要部を模式図で示して、同図Aはその平面図、同図Bは同図AのB-B線上における断面側面図、図2は本発明の第2実施形態の半導体素子の要部を模式図で示して、同図Aはその平面図、同図Bは同図AのB-B線上における断面側面図、そして図3は本発明の第3実施形態の半導体素子の要部を模式図で示して、同図Aはその平面図、同図Bは同図AのB-B線上における断面側面図である。

【0021】なお、図4に示した従来技術の半導体素子10Dの構成要素と同一の構成要素には同一の符号を付して説明する。

【0022】まず、図1を用いて、本発明の第1実施形態の半導体素子の要部構造を説明する。

【0023】図1において、符号10AはMOS型半導体素子を例に採り挙げて示した第1実施形態の半導体素子を指す。この半導体素子10Aは千鳥足状パッド構造ではない配列の電極パッド16で構成されている。

【0024】即ち、この半導体素子10Aは、小片の半導体ウェーハ12の表面に集積回路の一機能である複数の入出力バッファ13とこれらに接続されている配線14とが互いに一定の間隔を開けて平行に機能回路部11Aに形成されている。そして入出力バッファ13及び配線14の表面には絶縁層間膜15が形成されている。

【0025】更に、この絶縁層間膜15の表面に、全ての電極パッド16とこれに接続された配線17とが前記入出力バッファ13の端縁12A側半分の上方に形成されている。そしてこれらの電極パッド16、配線17の表面は絶縁保護膜18で被覆されている。

【0026】そして、入出力バッファ13に接続されている下方の配線14と電極パッド16に接続されている上方の配線17とは絶縁層間膜15を貫通して形成されたコンタクトビア19で接続されている。

【0027】各電極パッド16の上方の絶縁保護膜18は一部分が除去されて、電極パッド16の表面が露出するようになされている。

【0028】電極パッド16は、図4に示した従来技術の入出力バッファ13Aに接続されている長い方の配線14を中央部で折り曲げ、その先端部に接続されている電極パッド16Aを入出力バッファ13Aの上方に折り返して配設したような構造のものとなっている。

【0029】この半導体素子10Aは、その入出力バッファ13及び電極パッド16の間隔幅が従来技術の半導体素子10Dのそれらの間隔幅、或いは以下に記す半導体素子10B、10Cのそれらの間隔幅より広くなるが、図4に示した半導体ウェーハ12上のパッド形成領域11Bが殆ど不要となり、それだけ半導体素子10Aの面積を狭くすることができ、一枚の半導体ウェーハから多数の半導体素子10Aを取ることができる利点がある。

【0030】前記のように、半導体素子10Aはその入出力バッファ13及び電極パッド16の間隔幅が従来技術の半導体素子10Dのそれらの間隔幅より広い。この課題を解決するためには、前記の千鳥足状パッド構造を採用必要がある。その千鳥足状パッド構造に本発明を適用した半導体素子を図2に示した。次にその半導体素子を図2を用いて本発明の第2実施形態として説明する。

【0031】図において、符号10Bは本発明の第2実施形態の半導体素子を指す。この半導体素子10Bは、

半導体ウェーハ12の表面に集積回路の一機能である複数の入出力バッファ13A、13Bとこれらに接続されている配線14とが互いに一定の間隔を開けて所定のパターンで機能回路部11Aに形成されている。これら入出力バッファ13Aと入出力バッファ13Bとは一つずつ交互に配設されている。

【0032】一方、機能回路部11Aと半導体ウェーハ12の端縁12Aとの間の周辺部（パッド形成領域）11Bには入出力バッファ13Bに配線14を介して接続された電極パッド16Bが機能回路部11Aに近接して一線上に配列されている。

【0033】入出力バッファ13A、13B及び配線14の表面に絶縁層間膜15が形成されている。更に、この絶縁層間膜15の表面に、電極パッド16Aとこれに接続された配線17とが前記入出力バッファ13Aの上方に形成されている。これらの電極パッド16A、配線17の表面は絶縁保護膜18で被覆されている。そして、入出力バッファ13Aに接続されている下方の配線14と電極パッド16Aに接続されている上方の配線17とは絶縁層間膜15を貫通して形成されたコンタクトビア19で接続されている。

【0034】各電極パッド16A、16Bの上方の絶縁保護膜18は一部分が除去されて、電極パッド16A、16Bの表面が露出するようになされている。

【0035】電極パッド16Aは、図4に示した従来技術の入出力バッファ13Aに接続されている配線14を中央部で折り曲げ、その先端部に接続されている電極パッド16Aを入出力バッファ13Aの上方に折り曲げて配設したような構造のものとなっている。

【0036】このように、本実施形態の半導体素子10Bは、互いに並列する入出力バッファ13A、13Bに対し、電極パッド16Aが入出力バッファ13Aの上方に、電極パッド16Bは機能回路部11Aに近接して周辺部11Bに配設され、従来技術のものと同様に千鳥足状パッド構造に形成することができ、そして電極パッド16Bの半導体ウェーハ12の端縁12Aに沿う方向の間隔は隣接する入出力バッファ13Bとの幅と同等かそれよりより狭い幅の寸法で形成することができる。このような構造を採用することにより、図4に示した従来の千鳥足状パッド構造と同様の多ピン化ができ、そして、その周辺部（パッド形成領域）11Bの幅を半減でき、従って、より小さいチップサイズで半導体素子10Bを構成することができる。

【0037】更により小さいチップサイズで半導体素子を構成する構造としたのが図3に示した半導体素子である。

【0038】図3において、符号10Cは本発明の第3実施形態の半導体素子を指す。この半導体素子10Cは、半導体ウェーハ12上に、多数の入出力バッファ13A、13Bとこれらの端部に接続されている配線14

とが交互に並列に配列されて形成されており、それらの入出力バッファ13A、13B及び配線14の表面には絶縁層間膜15が形成されている。そして、それらの入出力バッファ13A、13B上に電極パッド16A、16Bを交互に配設したものである。即ち、電極パッド16Aは入出力バッファ13Aの半導体ウェーハ12の端縁12Aより遠ざかった側の部分の上方に配設されており、電極パッド16Bは入出力バッファ13Bの前記端縁12A側に近い部分の上方に配設されていて、前記のような千鳥足状パッド構造で形成されている。

【0039】全ての入出力バッファ13A、13Bと全ての電極パッド16A、16Bとのそれぞれの接続は、それぞれの電極パッド16A、16Bに接続されている、長短の差はあるが、各配線17が、同図Bに示したように、入出力バッファ13A、13Bが配設されている層の上方の絶縁保護膜18に、配線14からコンタクトビア19を通して行われている。

【0040】このようにパッド形成領域11Bを殆ど無くし、かつ千鳥足状パッド構造を採用することにより、本実施形態の半導体素子10Cは第2半導体素子10Bの面積と比較して、半導体素子そのものの面積をより一層狭くすることができる。

【0041】前記の各実施形態では、半導体素子としてMOS型を採り上げ、その電極パッド16を入出力バッファ13上に形成する構造を例にして本発明を説明したが、本発明はこのような形態の半導体素子に限定されるものではなく、集積回路の他の一部構成要素上に電極パッドを配置、形成してもよいことを付言しておく。

【0042】

【発明の効果】以上説明したように、本発明によれば、1個分の半導体ウェーハの周辺部（パッド形成領域）を削減或いは殆ど皆無にでき、そして千鳥足状パッド構造を採用することにより電極パッドの間隔幅を狭めることができるので、従来技術の半導体素子よりもより狭い面積のチップサイズで半導体素子を実現することができる。

【0043】従って、一枚の大判の半導体ウェーハからより多数の半導体素子を得ることができるか、従来技術の半導体素子の面積と同一の面積で構成するとするならば、1個の半導体素子により多くの集積回路を組み込むことができるなど、数々の優れた効果が得られる。

【図面の簡単な説明】

【図1】 本発明の第1実施形態の半導体素子の要部を模式図で示していて、同図Aはその平面図、同図Bは同図AのB-B線上における断面側面図である。

【図2】 本発明の第2実施形態の半導体素子の要部を模式図で示していて、同図Aはその平面図、同図Bは同図AのB-B線上における断面側面図である。

【図3】 本発明の第3実施形態の半導体素子の要部を模式図で示していて、同図Aはその平面図、同図Bは同図AのB-B線上における断面側面図である。

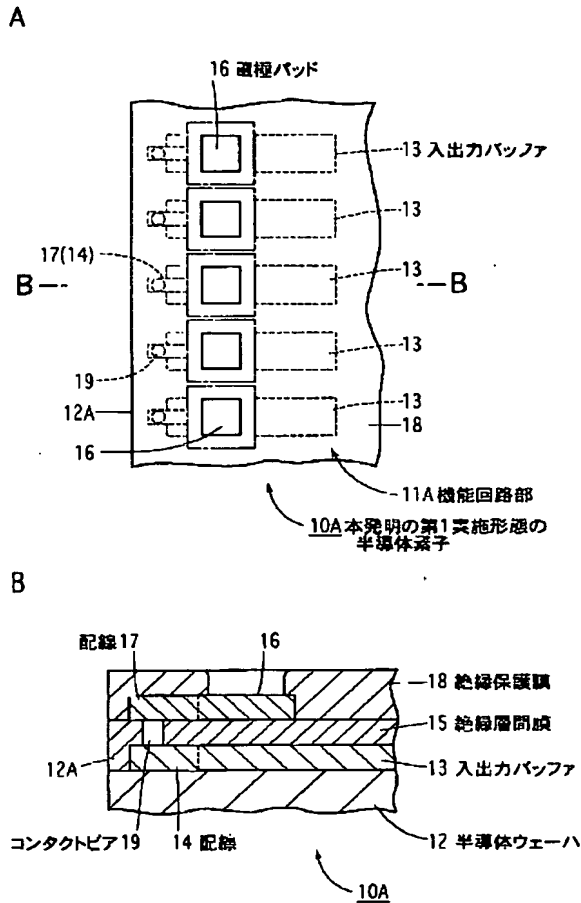
【図4】 従来技術の半導体素子の一部分の要部を模式図で示して、同図Aはその平面図、同図Bは同図AのB-B線上における断面側面図である。

【符号の説明】

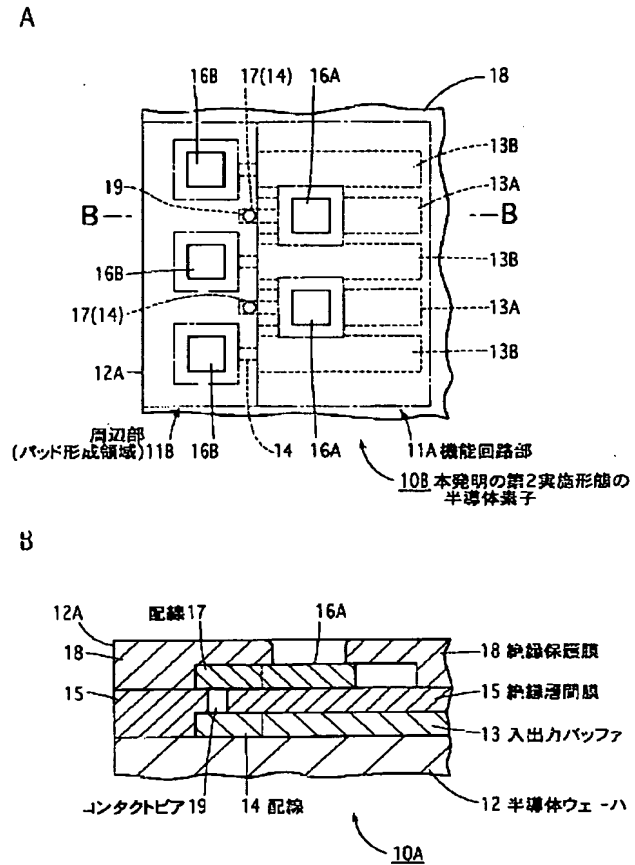
10A…本発明の第1実施形態の半導体素子、10B…本発明の第2実施形態の半導体素子、10C…本発明の第3実施形態の半導体素子、11A…半導体ウェーハ1

2上の機能回路部、11B…半導体ウェーハ12上の周辺部（パッド形成領域）、12…半導体ウェーハ、12A…半導体ウェーハ12の端縁、13、13A、13B…入出力バッファ、14、17…配線、15…絶縁層間膜、16…、16A、16B…電極パッド、18…絶縁保護膜、19…コンタクトビア

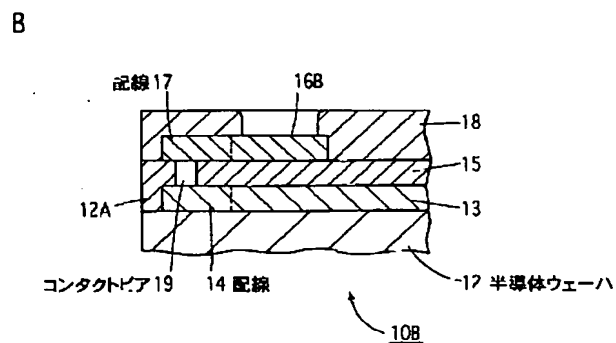
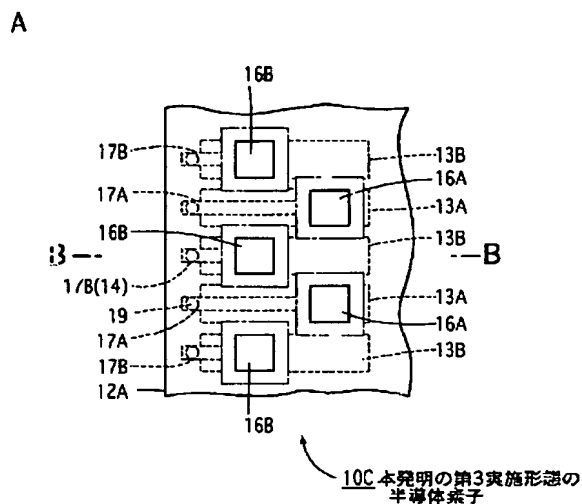
【図1】



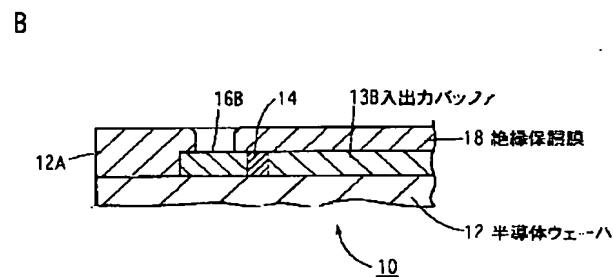
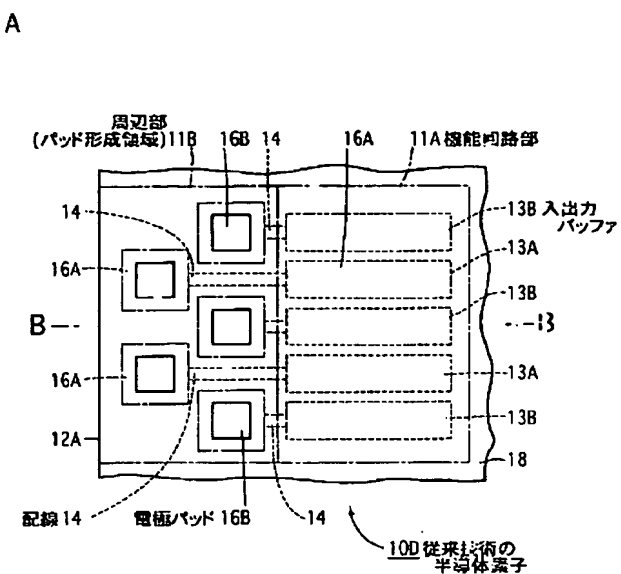
【図2】



【図3】



【図4】



フロントページの続き

Fターム(参考) 5F033 UU03 VV07
5F038 CA07 CA10 CA16 DF01 EZ20
5F044 EE03
5F064 BB27 BB28 DD03 DD18 DD33
DD43 DD50